

E6141

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-186282

(43)Date of publication of application : 03.07.1992

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 02-314348

(71)Applicant : HITACHI LTD

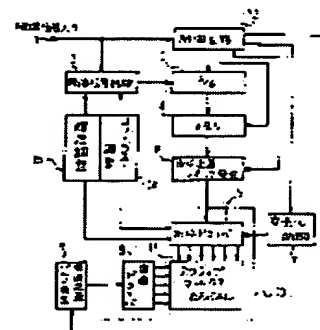
(22)Date of filing : 21.11.1990

(72)Inventor : KABUTO NOBUAKI

(54) MULTI-CONTRAST IMAGE DISPLAY DEVICE**(57)Abstract:**

PURPOSE: To facilitate control of a wide range of contrast/brightness, and improve reliability using a digital horizontal scanning circuit by employing a pulse width modulation method, and changing voltage given to common electrodes such as data drivers, etc.

CONSTITUTION: An image signal processing circuit 2 forms an original colored image signal from an image signal from a terminal 1, converts the signal into a PCM signal by an A/D converter 3, and stores the signal in a memory 4. A vertical scanning pulse generating circuit 5 and a horizontal scanning pulse generating circuit 6 takes in a pulse for vertically scanning a display panel 11 through a vertical driver 8 and a horizontal driver 9, and an image signal of a memory 4 by a control signal from a control circuit 12, and generate a writing pulse to display picture elements arranged in the horizontal direction. These pulses are applied in proper timing. In a display unit 13, the driver 9 displays contrasts which correspond to the values of digital data to the picture elements selected by the driver 8.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2954329号

(45) 発行日 平成11年(1999) 9月27日

(24) 登録日 平成11年(1999) 7月16日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/20

6 4 1

G 0 9 G 3/20

6 4 1 B

請求項の数 2 (全 17 頁)

(21) 出願番号 特願平2-314348

(22) 出願日 平成2年(1990)11月21日

(65) 公開番号 特開平4-186282

(43) 公開日 平成4年(1992)7月3日

審査請求日 平成8年(1996)3月8日

(73) 特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72) 発明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所家電研究所内

(74) 代理人 弁理士 並木 昭夫

審査官 江成 克己

(56) 参考文献 特開 昭62-267725 (J P, A)

特開 昭61-60089 (J P, A)

(58) 調査した分野(Int.Cl.⁶, D B名)

G09G 3/36, 3/20

G02F 1/133

(54) 【発明の名称】 多階調画像表示装置

(57) 【特許請求の範囲】

【請求項1】ビット数 n のデジタルデータで表わされた映像信号を前記ビット数 n により定まる階調数で多階調表示する多階調画像表示装置において、
 或る選択期間に書き込まれた信号を該選択期間以外もほぼ保持してその電気光学特性を制御し表示状態を維持する表示素子を画素としてマトリクス状に配列することにより構成した表示パネルと、
 前記表示パネルを構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、
 垂直ドライブ回路により選択された行の表示素子に対し、表示すべき映像信号の値に応じて、あらかじめ割り当てられた複数の電圧の中から選択された電圧を書き込む水平ドライブ回路と、
 前記水平、垂直ドライブ回路をして、表示すべき前記映

像信号に同期して、その1フィールド期間において、少なくとも n 回、各表示画素を順次選択走査せしめることにより前記ビット数 n により定まる多階調表示を実現すると共に、各画素において最上位ビットに相当する信号を保持する期間が、最下位ビットに相当する信号を保持する期間の $2^{(n-1)}$ 倍より長くなるように設定する制御回路と、

を具備して成ることを特徴とする多階調画像表示装置（但し n は自然数）。

【請求項2】入力映像信号をA/D変換器によりビット数 n のデジタルデータに変換した後、入力された多階調表示する多階調画像表示装置において、
 或る選択期間に書き込まれた信号を該選択期間以外もほぼ保持してその電気光学特性を制御し表示状態を維持する表示素子を画素としてマトリクス状に配列することに

より構成した表示パネルと、
前記表示パネルを構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、
垂直ドライブ回路により選択された行の表示素子に対し、表示すべき映像信号の値に応じて、あらかじめ割当てられた複数の電圧の中から選択された電圧を書き込む水平ドライブ回路と、
前記A/D変換器の最下位ビットに相当する電圧以下で、そのほぼ半分の電圧以上の大きさを有するアナログ信号の発生手段と、
該アナログ信号と入力映像信号を加算してA/D変換器に与える加算器と、
前記水平、垂直ドライブ回路をして、少なくとも前記A/D変換器から出力されるビット数 n と同じ回数 n だけ、前記入力映像信号に同期して、その1フィールド期間において、各表示画素を順次選択走査せしめることにより前記ビット数 n により定まる多階調表示を実現する制御回路と、
を具備して成ることを特徴とする多階調画像表示装置（但し n は自然数）。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、或る選択期間に書き込まれた信号電圧を該選択期間以外もほぼ保持してその電気光学特性を制御し表示状態を維持するアクティブマトリクス形液晶の如き表示素子を画素として構成する画像表示装置に関するものであり、更に詳しくは、信号電圧保持期間を表示すべき映像信号のレベルに応じて制御することにより画像の多階調表示を行う多階調画像表示装置に関するものである。

【従来の技術】

第18図はアクティブマトリクス液晶表示装置の構成の従来例を示す概要図である。

同図において、DRはデータドライバ回路、SCは走査回路、GBはゲートバス、DBはデータバス（ドレインバス）、Trはトランジスタ（FET）、Crは液晶セル、CEは共通電極、である。

第18図において、ゲートバスGBとデータバスDBの各交点に、トランジスタTrの如きアクティブ回路素子と液晶セルCrからなる画素を配置してアクティブマトリクス液晶パネルが構成されている。ゲートバスGBによりトランジスタTrを選択し、データバス（ドレインバス）DBより該トランジスタTrを介して液晶セルCrに電圧信号を書き込む。液晶セルCrは、書き込んだ電圧を記憶するキャパシタとして働き、同時に保持した電圧により電気光学特性を制御して表示を行う。液晶セルCrに書き込む電圧信号のレベルを可変することにより多階調表示が行われる。

かかるアクティブマトリクス液晶表示装置は、例えば、「フラットパネル・ディスプレイ'90」（日経BP社1

990年11月1日発行）113頁から115頁に記載されているが、アクティブマトリクス液晶パネルの複数のデータバスに、表示輝度に応じたアナログ電圧を適宜与える方法で中間表示を行っている。

一方、プラズマ・ディスプレイのように、発光を維持するに足る維持パルスを印加された時は発光し、印加されない時は非発光状態となる2値表示パネルを用いて、1フィールド中に $(n+1)$ 回各画素を選択して、印加する維持パルス数を制御することにより、パルス幅変調で、2nd階調表示を実現した画像表示装置の例が、特開平1-16379号公報及び特開平1-163795号公報に記載されている。

【発明が解決しようとする課題】

上記第一の従来技術では、第18図において、データバスDBを駆動するデータ・ドライバ回路（水平走査光路）DRは、図示せざる信号経路を介して時系列的に送られてくる1走査線分のアナログ・ビデオ信号をサンプリングし、これを保持し、ゲートバスGBの走査信号のタイミングと同期して、保持したアナログ・サンプリング信号を出力する回路を、データバスDBの本数分持つことが必要となる。

このようにして必要になる多数のアナログ・サンプリング回路の出力電圧がばらつくと、中間調表示では輝度がばらついてしまい、表示ムラの原因となるため、サンプリング回路の出力電圧精度が要求される。このような要求を満足するアナログ水平走査回路（データ・ドライバ回路）は、回路規模が大きくなるため、小形化や、低価格化及び低電力化しにくいという問題がある。

さらには、例えば、エス・アイ・ディ、'90、ダイジェスト（1990年）第220頁から第223頁（SID'99DIGEST（1990）PP220-223）において述べられているNCAP（Nematic Curvilinear Aligned Phase）液晶などのように、駆動電圧が数十Vと高い表示素子を駆動しようとしても、一般にダイナミックレンジの拡大（すなわち最大定格電圧が大きいプロセスの採用）はアナログ・サンプリング速度の低下につながり、ビデオ信号を解像度良くサンプリングできなくなるという問題がある。すなわち、表示パネルの高精細化をさまたげてしまうことになる。

上記第二の従来技術では、中間調を表示する場合でも水平走査回路が出力する電圧は2値であり、扱う信号はデジタル・データである。このため、回路規模が小さく、出力電圧ばらつきが少なく、かつ高速で高耐圧の水平走査回路が得られやすい利点がある。

しかしながら、アクティブマトリクス形液晶の如き表示装置は、プラズマ・ディスプレイの維持パルスに相当する信号がないため、パルス数変調による中間調表示ができない上に、第二の従来技術に述べられているA/D変換器の入力ダイナミックレンジで制限される調整範囲を超えて、広範囲にコントラスト／輝度調整することでもできない。）また、液晶セルの信頼性向上のために有効と

して普通に採用されている交流駆動化の技術についても、対象がプラズマ・ディスプレイである所から、述べられていない。

さらに、第二の従来技術では、表示階調数を増やそうとすると、1フィールド内で各行を選択する回数が増えるため、1行選択に要する時間が短くなってしまい、薄膜トランジスタを用いたアクティブマトリクス形液晶パネルでは走査できなくなる場合があった。

本発明の目的は、上記従来技術の問題点を解決し、回路規模が小さく、高耐圧化が容易なデジタル形水平走査回路を用いて、信頼性が高いアクティブマトリクス形液晶パネルによる多階調画像表示装置を提供することにある。

〔課題を解決するための手段〕

上記目的達成のため、本発明では、デジタル・データ・ドライバを用いて、中間調表示するため、維持パルス数変調の代わりに、選択期間に各画素の表示セルに書き込んだ電圧を保持する期間を変調するパルス幅変調方式の採用と共に、フィールド期間のほぼ全てを用いる駆

動により表示実効電圧を大きくとり、表示すべき映像信号の1フィールド内で各行を選択する回数を減らしながら、多くの階調表示を行うことを可能にするため、アナログ処理による間引駆動を併用した。

〔作用〕

例えば、表示すべきアナログ映像信号を8ビットA/Dコンバータでデジタル化することにより得られる8ビット出力でパルス幅変調を行う場合、A/D変換器出力の最下位ビット (LSB, これを b_0 とする) に対して、例えば a_0 の信号保持期間を割当て、次の上位ビット (b_1) には a_1 の信号保持期間を割当て、同様にして最上位ビット (MSB, これを b_7 とする) には a_7 の信号保持期間を割当て

る。そして、上記A/D変換器の出力データ $b_0 \sim b_7$ の各ビットの0, 1の状態に応じて、水平走査回路の出力電圧 V_N, V_S を割当ててことにする。

この時、表示素子の応答時間が前記信号保持期間に比べて十分に短いと仮定すると、表示素子の輝度 ℓ は次式で与えられる。

$$\begin{aligned} \ell &= (1/A) \cdot \sum_{i=0}^7 a_i \{ b_i f(V_S) + (1 - b_i) f(V_N) \} \\ &= (1/A) \cdot \{ f(V_S) - f(V_N) \} \cdot \sum_{i=0}^7 a_i b_i \\ &\quad + (1/A) \cdot f(V_N) \cdot \sum_{i=0}^7 a_i \end{aligned} \quad \dots\dots (1)$$

但し、 $f(V_N), f(V_S)$ は、それぞれ電圧 V_N, V_S を表示素子に印加した時の輝度を示し、 A は1フィールドの期間に等しく、

$$A \cong \sum_{i=0}^7 a_i \quad \dots (2)$$

である。

信号保持期間 a_i を

$$a_i \cong 2^i \cdot a_0 \quad \dots\dots (3)$$

と設定しておけば、A/D変換器出力 b_i と組合わせて、パルス幅変調による輝度制御が可能となり、多階調表示が実現できる。

上記(1)式から最大輝度 l_{\max} と最小輝度 l_{\min} は次の

$$\begin{aligned} \ell &= f \left[(1/A) \cdot \sum_{i=0}^7 a_i \{ b_i V_S + (1 - b_i) V_N \} \right] \\ &= f \left[\{ (V_S - V_N) / A \} \cdot \sum_{i=0}^7 a_i b_i + (V_N / A) \cdot \sum_{i=0}^7 a_i \right] \end{aligned} \quad \dots\dots (7)$$

上記(7)式から、最大輝度 l_{\max} 、最小輝度 l_{\min} を求

ように求められる。

$$l_{\max} \cong f(V_S) \quad \dots\dots (4)$$

$$l_{\min} \cong f(V_N) \quad \dots\dots (5)$$

コントラスト比を C_R とし、これを l_{\max}/l_{\min} で定義すると次式で与えられる。

$$\begin{aligned} C_R &\cong l_{\max}/l_{\min} \\ &\cong f(V_S)/f(V_N) \end{aligned} \quad \dots\dots (6)$$

このように、水平走査回路の出力電圧 V_S, V_N を調整することにより、それぞれコントラスト C_R と最低輝度 l_{\min} を調整することができる。

また、表示素子の応答時間が前記信号保持期間に比べて長く、表示素子の輝度 ℓ が平均印加電圧に依存すると仮定すると、表示素子の輝度 ℓ は次式で与えられる。

めると、上記(1)式から求めた時と同様に、上記

(4), (5) 式が成立する。従って、表示素子の応答時間が長い場合も同様に、水平走査回路の出力電圧 V_s と V_H を調整することにより、コントラストと最低輝度を調整することができる。

さらに、最上位ビット b_7 に割当てられた保持期間 a_7 を2分して、2回選択駆動することにより、最長信号保持期間は半減し、 $a_7/2$ となる。これにより、各表示素子にキャパシタとしての信号リークが発生した場合でも、保持すべき最長期間が半減できるため、リークによる信号の減衰が半分以下になり、階調表示の信頼性が向上す

$V_{DC} = \langle \text{第1フィールド印加電圧} \rangle$

— $\langle \text{第2フィールド印加電圧} \rangle$

$$= (1/A) \cdot \sum_{i=0}^7 a_i V_s - (1/A) \cdot \sum_{i=0}^7 a_i V_H \doteq V_s - V_H$$

.....(8)

(ここで上記(2)式の関係を用いている。)

これに対し、最上位ビット b_7 に割当てられた保持期間 a_7 を2分して、それぞれ逆極性の信号を与えることにす

$$V_{DC} = (1/A) \cdot \sum_{i=0}^6 a_i V_s - (1/A) \cdot \sum_{i=0}^6 a_i V_H$$

$$\doteq (1/2) (V_s - V_H)$$

.....(9)

(ここで上記(2), (3)式より、

$$a_7 \doteq \sum_{i=0}^6 a_i \doteq (2/A)$$

の関係を用いた。)

このように、最上位ビット b_7 に割当てられた保持期間 a_7 を2分して、それぞれ逆極性の信号を与えることにより、フィールド間信号変化時の最大直流成分 V_{DC} を半減できるので、表示素子の信頼性を向上することができる。

〔実施例〕

以下、本発明の実施例を図面により詳細に説明するわけであるが、その前に本発明の理解に役立つ参考例を説明する。

第1図は、本発明の参考例を示すブロック図である。同参考例は、典型例としてフィールド時分割走査でパルス幅変調を用いた場合の多階調表示装置を対象とした参考例である。

第1図において、多階調表示装置は、映像信号入力端子1、映像信号処理回路2、A/D変換器3、メモリ4、垂直走査パルス発生回路5、水平走査パルス発生回路6、交流化制御回路7、垂直ドライバ8、水平ドライバ9、アクティブマトリクス表示パネル11、入力映像信号から同期信号を分離し、該同期信号に基いて各回路の動

る。

また、表示素子として、信頼性確保に交流駆動が必要な液晶素子を用いる場合、通常は各表示素子をフィールド毎に極性が反転した信号で駆動し、2フィールド周期で交流駆動を実現している。しかし、動画表示などのように、フィールド間で信号が変化すると完全交流化ができない。このような事情でフィールド内、同一極性表示素子を駆動する場合、A/D変換データ b_i が全て“1”から全て“0”へ変化した時、次式で表わされる最大直流成分 V_{DC} が印加されることになる。

れば、最上位ビット b_7 に関してはフィールド間で信号が変化してもDC成分を考慮しなくてすむ。この時、最大直流成分 V_{DC} は次式で表される。

作をコントロールするための制御回路12、及びコントラスト調整回路14、輝度調整回路15から構成される。

また、水平ドライバ9、垂直ドライバ8、表示パネル11をまとめて表示部13と定義する。以下、第1のブロック図の動作を説明する。

映像信号処理回路2は、端子1に入力された映像信号に基づき、R, G, B原色信号等の画像信号を形成する。形成された画像信号はA/D変換器3で必要なビット数のPCM (Pulse Code Modulation) 信号に変換され、各ビット毎にメモリ4に記憶される。

制御回路12では、入力映像信号に同期した各種のコントロール信号を形成し、各回路に供給する。

垂直走査パルス発生回路5では、制御回路12からコントロール信号に基づき、表示パネル11の垂直走査用パルスを発生し、垂直ドライバ8を介して表示パネル11を走査する。水平走査パルス発生回路6では、制御回路12からのコントロール信号に同期してメモリ4の各ビット毎の画像信号を取込み、水平方向に並ぶ表示画素への書込みパルスを形成する。この書込みパルスは水平ドライバ9を介し、垂直走査にタイミングを合わせて表示パネル11に印加される。

交流化制御回路7では、制御回路12からのコントロール信号に基づき、表示パネル11の各画素印加電圧が交流となるように、水平ドライバ9の出力電圧の極性を制御

する（各画素を構成する表示素子が液晶セルであるとき、液晶が劣化するのを防ぐための交流駆動を行うわけである）。

表示部13において、垂直ドライバ8で選択された行の画素に対して、水平ドライバ9がA/D変換により得られたデジタルデータの各ビットに応じた所定の電圧を選択して出力し、各画素（例えば液晶セル）に書き込んでデジタルデータの値に応じた階調表示をする。

本参考例では、コントラスト調整回路14と輝度調整回路15を設けて、通常状態では水平ドライバ9に与える電圧を所定の電圧に調整している。さらにコントラスト調整を細かに、あるいは特別に黒レベルを沈め込む必要がある時は、A/D変換器3に inputs する映像信号の振幅を絞る、あるいは直流レベルを下げるように、映像信号処理回路2に作用する。もちろん、映像信号の振幅と直流レベルを等価的に変える方法は他にも存在するが、第1図におけるやり方はその代表例を示す。

第2図は、第1図の表示パネル11において多階調表示を行うための動作原理としてのフィールド時分割走査を具体的に説明するための、フィールド期間における走査線と走査時刻の関係を示す模式図である。

第2図において、縦軸で走査線番号を示し、横軸で走査時刻を示す。通常のテレビ信号は第2図に示す実線 L_0 に沿って走査される。即ち、実線 L_0 においては、1フィールドの最初を示す左端（1フィールド画面で言えば上端）で走査線番号1の走査が行われ、以下、1フィールドの終わりを示す右端（1フィールド画面で言えば下端）で走査線番号 n の走査が行われることを示す。

これに対し実線 L_2 においては、1フィールドの真ん中を示す中央（1フィールド画面で言えば上端と下端の中央）で走査線番号1の走査が行われ、以下、順に走査が行われるわけで、実線 L_0 による走査に比較して、丁度1フィールド画面の上から半分だけ位相のずれた状態で画面走査が開始され行われることを示している。実線 L_1 についても、画面走査の開始位相が異なるだけで、あとは同様である。

簡単のため、表示すべき画像信号を $n=3$ ビットのPCM信号にA/D変換するものとする。すなわち、画像信号を3ビットでA/D変換してLSBからMSBまでをそれぞれ b_0 , b_1 , b_2 ビットで表わし、各 b_0 , b_1 , b_2 のビットごとに対応させてそれぞれ実線 L_0 , L_1 , L_2 に沿って位相をずらした形で走査を開始させ、時分割的に走査する。

第2図から分るように、通常のテレビ受信機では、 L_0 による一回の走査で1フィールドの画像表示が行なわれるのに対し、本参考例による画像表示では、1フィールドを時間的に3分割し、 L_0 , L_1 , L_2 により走査するフィールド時分割走査で画像表示がなされる。第2図で点線は、前フィールドでの画像表示に伴う走査を表わす。

第3図は、第1図の参考例における、表示部13、コントラスト調整回路14及び輝度調整回路15の具体的構成例

を示す回路図である。

垂直ドライバ8と水平ドライバ9は、いずれもシフトレジスタ81, 91、ラッチ82, 92、アナログマルチプレクサ83, 93から構成されており、例えば、（株）日立製作所発行の「日立LCDドライバLSIデータブック（第5版）」（平成2年3月発行）274頁から292頁記載の液晶ドライバHD66107Tなどを用いるとよい。

表示パネル11は、ゲートバス G_{a1} , G_{a2} , …、データバス D_{r1} , D_{r2} , …、それらの交差部に形成される画素トランジスタ111、画素電極 S_{o1} , S_{o2} , …、そして例えば画素電極と後述の共通電極との間にはさまれた液晶素子のような電気光学表示素子112、共通電極113から構成される。

PLL（Phase Lockd Loop）121は、制御回路12の一部であり、端子126から与えられる水平同期信号を基準とする位相比較器122、低周波フィルタ（LPF; Low Pass Filter）123、電圧制御発振器（VCO; Voltage Controlled Oscillator）124、分周器125から構成され、表示パネル11の水平画素数に応じたドットクロックを形成する。

交流化制御回路7は、端子71に入力される垂直同期信号を2分周する2分周器72と、PLL121で形成されるドットクロックに同期した、例えば、水平同期周波数の3倍のクロックを入力するカウンタ72、デコード回路74、排地的論理和回路75から構成される。

コントラスト調整回路14と輝度調整回路15は、演算増幅器141, 142, 151, 152、電流源144、抵抗器145, 146, 154, 155、可変抵抗器143, 153から構成される。88と89は電圧源である。

第3図の構成例を第2図に示すフィールド時分割走査方式に従って駆動する場合の動作波形例を第4図に示し、以下、その動作を説明する。

ゲートバス G_{a1} には垂直ドライバ8により例えば時刻0、 $(1+1/3)H$ 、 $(3+2/3)H$ にパルス印加し（但し、 $1H$ は1水平走査周期を示す）、それぞれ g_0 , g_1 , g_2 の記号で表わす。ゲートバス G_{a2} , G_{a3} には G_{a1} と波形は同じであるが G_{a1} からそれぞれ $1H$, $2H$ 遅れた g_0 , g_1 , g_2 のパルスを印加する。

尚、このゲートパルス g_1 , g_2 , g_3 は、選択時、電圧源88の電圧 V_g を、非選択時には電圧源89の電圧 V_s をアナログマルチプレクサ83により切換えて得られる。

データバス D_{r1} には、水平ドライバ9によりゲートバス G_{a1} , G_{a2} , G_{a3} に印加した g_0 , g_1 , g_2 のパルスに合わせ、画像信号をA/D変換したデータの3ビット b_0 , b_1 , b_2 に対応した電圧を、あらかじめ与えられた4つの電圧レベル V_1 , V_2 , V_3 , V_4 から、選択して与える。

この時アナログマルチプレクサ93は、交流化制御回路7の出力Mのレベルと、A/D変換データ b_0 , b_1 , b_2 に対応した信号を順次出力するラッチ92の出力 D_i の組合せにより、第5図に示すように電圧レベルを選択するので、Mが“1”レベルにおいて、 $b_1=1$ の時 V_1 、 $b_1=0$ の時 V_3 、Mが“0”レベルにおいて、 $b_1=1$ の時 V_2 、 $b_1=0$ の時 V_4 を

選択するものとする。

第4図の波形例では、ゲートバス G_{a1} のゲートパルス g_0, g_1, g_2 に同期して与えられた、ドレインバス D_{r1} の電圧 V_1 ($M=1$ のフィールド)、と電圧 V_2 ($M=0$ のフィールド)が、画素電極 S_{01} に書き込まれ、次のデータが書き込まれるまで保持される。

従って、画素電極 S_{01} には、振幅電圧 V_3 ($=V_1-V_2$)の交流波形が印加されることになる。また、画素電極 S_{02} も同様に、ゲートバス G_{a2} のゲートパルス g_0, g_1, g_2 に同期して与えられた、ドレインバス D_{r2} の電圧 V_3 ($M=1$ のフィールド)と電圧 V_4 ($M=0$ のフィールド)が画素電極 S_{02} に書き込まれ、次のデータが書き込まれるまで保持される。従って、画素電極 S_{02} には、振幅電圧 V_N ($=V_3-V_4$)の交流波形が印加されることになる。

このように、A/D変換データ内容により、実効電圧 $V_N \sim V_5$ の電圧が各画素電極に印加されることになる。この時の表示輝度は、表示素子の応答が速いと前述した

(1)式で表わされ、応答が遅い場合は前述の(7)式で表わされることは明らかであり、いずれもA/D変換データに応じた中間調表示が可能となる。

この時、表示素子の輝度特性が

$$f(V) = kV \quad \dots\dots (10)$$

と近似されると仮定すると、前述の(5)式より最低輝度 I_{min} は

$$I_{min} = kV_N = k(V_3 - V_4) \quad \dots\dots (11)$$

となる。一方、前述の(6)式よりコントラスト比 C_R は $C_R = V_S/V_N = (V_1 - V_2) / (V_3 - V_4) \quad \dots\dots (12)$ で与えられる。

ここで、表示素子を交流駆動することを前提として考えると、画素電極 S_{01}, S_{02} に与えられる波形は、共通電極113の電位 V_{COM} に対して、フィールド毎に対称な電圧波形が必要であるため、下記の条件が成立する。

$$V_{COM} = (V_1 + V_2) / 2 = (V_3 + V_4) / 2 \quad \dots\dots (13)$$

上記(13)式を前述の(11)、(12)式に代入すると次式が得られる。

$$I_{min} = 2k(V_{COM} - V_4) \quad \dots\dots (14)$$

$$C_R = (V_{COM} - V_2) / (V_{COM} - V_4) \\ = 1 + (V_4 - V_2) / (V_{COM} - V_4) \quad \dots\dots (15)$$

従って、輝度調整回路15において、端子156に共通電極電位 V_{COM} を印加し、輝度調整用可変抵抗器153で分圧した電圧 V_4 をバッファとして作用する差動増幅器152を通して、水平ドライバ9内にあるアナログマルチプレクサ93に入力することにより、上記(14)式から、最低輝度 I_{min} を調整できることがわかる。

またコントラスト調整回路15において、定電流回路144と可変抵抗器143から成る電圧レベルシフト回路により輝度調整回路14の電力電圧 V_4 からある設定電圧だけ低い電圧 V_2 を形成し、バッファとして作用する差動増幅器142を通して、水平ドライバ9内にあるアナログマルチプレクサ93に入力することにより、上記(15)式から、コ

ントラスト比 C_R を調整できることがわかる。

アナログマルチプレクサ93に入力される他の電圧 V_1 と V_3 は、表示素子交流化の前述の条件式(13)式を満足させるため、それぞれ、共通電極電位 V_{COM} を基準として、電圧 V_2 と V_4 の電位を反転させる回路を、差動増幅器141、151、抵抗145、146、154、155により形成して用いている。

尚、第4図において、M信号がフィールド内で反転している期間(1/3H~1H, 1(2/3)H~2H)があるのは、前フィールドの逆極性の映像信号(第2図中の破線 (L_1) 、 (L_2) に対応)を加える期間だからである。

第6図は、第1図における垂直走査パルス発生回路5の構成の一例を示すブロック図である。

第6図において、入力端子53には、第1図に示した制御回路12からクロックを入力し、カウンタ51によりアドレスを形成し、例えば読出専用メモリ(ROM)で構成されるデコード回路52により所要のパルスを得、端子54、55より垂直ドライバ8へ入力している。

垂直ドライバ8は、第3図に示すようにシフトレジスタ81とラッチ82、アナログマルチプレクサ83から構成されており、第4図に示す、ゲートバス波形 G_{a1}, G_{a2}, \dots が得られる。

本発明の他の参考例を第7図に示す。第3図の構成図に示したものと同等のものには同じ番号を付してある。第3図の参考例との差は、水平ドライバ9の選択出力電圧を V_1 と V_3 の2値とし、共通電極電位 V_{COM} を交流化した点である。73は、排他的論理和反転器(Ex-NOR)、84、94、154は、2値の電圧を選択出力するアナログマルチプレクサである。以下、第7図の回路動作を第8図に示す各部動作波形の一例を用いて説明する。

すでに説明した第4図の動作波形例からわかるように、第3図の参考例では、 $M=1$ のフィールドでは電圧 V_1 と V_3 を、 $M=0$ のフィールドでは電圧 V_2 と V_4 を選択していたのに対し、第7図の参考例では、 $M=0$ のフィールドでは、水平ドライバ9への入力データDを、あらかじめ排他的論理和反転器73により反転しておき、電圧 V_3 と V_1 を選択している。

また、交流化制御回路7の出力Mにより、共通電極電位 V_{COM} を電圧 V_7 と電圧 V_5 で切換えて交流化している。ゲートバス G_{a1}, G_{a2}, G_{a3} の波形は、第4図のそれと同様である。

画素電極 S_{01} は $M=1$ のフィールドで V_1 、 $M=0$ のフィールドで V_3 が印加され、共通電極113には、 $M=1$ のフィールドで V_8 、 $M=0$ のフィールドで V_7 が印加される。

この時、画素電極 S_{01} と共通電極113にはさまれた表示表示112の感じる電圧は、 $M=1$ のフィールドにおいて、

$$V_{S1} = V_1 - V_8 \quad \dots\dots (16)$$

$M=0$ のフィールドにおいて

$$V_{S2} = V_3 - V_7 \quad \dots\dots (17)$$

と表わされ、結局、表示素子112に印加される振幅電圧 V_s は

$$\begin{aligned} V_s &= V_{s1} - V_{s2} \\ &= (V_1 - V_3) + (V_7 - V_8) \end{aligned} \quad \cdots \cdots (18)$$

となる。

画素電極 S_{02} も同様に、

$$V_{N1} = V_3 - V_8 \quad \cdots \cdots (19)$$

$$V_{N2} = V_1 - V_7 \quad \cdots \cdots (20)$$

$$\begin{aligned} V_N &= V_{N1} - V_{N2} \\ &= (V_3 - V_1) + (V_7 - V_8) \end{aligned} \quad \cdots \cdots (21)$$

となる。

このように、A/D変換データ内容により、実効電圧 V_N ～ V_s の電圧が、各表示素子112に印加されることにより、第3図の参考例と同様に、中間調表示が可能である。

ここで、交流駆動するための条件は $V_{s1} + V_{s2} = 0$ であるから、上記(16)、(17)式より

$$V_1 + V_3 = V_7 + V_8 \quad \cdots \cdots (22)$$

が得られる。

$$V_{cen} \equiv (V_1 + V_3) / 2 = (V_7 + V_8) / 2 \quad \cdots \cdots (22A)$$

とおくと、上記(18)、(21)式より

$$V_s = 2(V_{cen} - V_3 - V_8) \quad \cdots \cdots (23)$$

$$V_N = 2(V_3 - V_8) \quad \cdots \cdots (24)$$

表示素子112の輝度特性を前述した(10)式のように近似すると、平均輝度 B_R とコントラスト比 C_R は上記(23)、(24)式より次のように計算される。

$$\begin{aligned} B_R &\equiv (1/2) \{ f(V_N) + f(V_s) \} \\ &= 2k(V_{cen} - V_8) \end{aligned} \quad \cdots \cdots (25)$$

$$\begin{aligned} C_R &\equiv f(V_s) / f(V_N) = (2V_{cen} - V_3 - V_8) / (V_3 - V_8) \\ &= 1 + 2(V_{cen} - V_3) / (V_3 - V_8) \end{aligned} \quad \cdots \cdots (26)$$

従って、 V_8 の電圧を調整することにより、平均輝度 B_R を調整でき、 V_3 の電圧を調整することにより、コントラスト比 C_R を調整できることがわかる。

第7図における輝度調整回路15は、上記(22)式を満足する2値の電圧 V_7 、 V_8 を形成すると共に、交流化制御回路7の出力 M により制御されるアナログマルチプレクサ157により、前記2値の電圧 V_7 と V_8 を切換えて、共通電極113に与えている。

電圧 V_8 は、端子158に印加される基準電位 V_{cen} を可変抵抗器153で分圧し、バッファとして作用する差動増幅器を通して、アナログマルチプレクサ157へ与えている。電圧 V_7 は、差動増幅器151、抵抗器154、155で構成される反転増幅器により、電圧 V_8 を基準電位 V_{cen} に対して反転させ、アナログマルチプレクサ157へ与えており、上記(22)式を満足しているのは明らかである。このように可変抵抗器153を調整することにより電圧 V_7 を調整し、上記(25)式で示されているように、平均輝度 B_R を調整できることがわかる。

第7図におけるコントラスト調整回路14も、輝度調整回路15と同様に、差動増幅器141、142、可変抵抗器143、

抵抗145、146で構成され、可変抵抗器143により調整される出力電圧 V_1 、 V_3 が得られている。すなわち、上記(26)式で示されているようにコントラスト C_R を調整できることがわかる。

以上、述べてきた多階調表示装置は、一例として、3b11のA/Dの変換器を用いて、1フィールド中に各画素を3回順次選択することにより、8(=2³)階調表示を実現している。階調数を増やすには、1フィールド中に各画素を選択する回数を増やさなければならないが、例えば各画素に形成したトランジスタの動作速度の点から、思うように増やせない場合がある。そこで、1フィールド中の画素の選択回数を増やさずに、より多階調の表示を実現するのに必要な付属回路の一例を第9図に参考例として示す。

第9図の破線枠31の部分が付属間引回路であり、例えば第1図の参考例に示すA/D変換器3とメモリ4の持続部に挿入して用いる。

第9図において、端子31には映像信号が印加され、A/D変換器3により、例えば4ビットのPCM信号 b_0^* 、 b_1^* 、 b_2^* 、 b_3^* に変換される。端子73には、例えば第3図に示した交流化制御回路7の、フィールド毎に反転する出力信号 M を入力し、間引信号 MB として用いる。

32、33、34、35は、例えば1ビットの加算器で構成されており、それぞれの桁上げ信号が次段へ入力され、加算器33、34、35の出力を、メモリ4の入力信号 b_0 、 b_1 、 b_2 として用いる。論理和回路36はオーバーフロー対策として、桁上げ信号と加算出力の論理和を形成している。

このように接続することにより、A/D変換出力の最下位ビット b_0^* が0の時は、 $b_0 = b_1^*$ 、 $b_1 = b_2^*$ 、 $b_2 = b_3^*$ となり、8階調中の $b_1^* + 2(b_2^* + 2b_3^*)$ 階調を表示する。すなわち、A/D変換出力の最下位ビットを切り捨て、上位3ビットを用いて表示する。

次に、A/D変換出力の最下位ビット b_0^* が1の場合、 $M = 0$ のフィールドでは $b_0 = b_1^*$ 、 $b_1 = b_2^*$ 、 $b_2 = b_3^*$ となり、8階調中の第 $b_1^* + 2(b_2^* + 2b_3^*)$ 階調(A/D変換出力の上位3ビット)を表示するが、 $M = 1$ のフィールドでは、付属間引回路31により、1が加算された第 $b_1^* + 2(b_2^* + 2b_3^*) + 1$ 階調(A/D変換出力の最下位ビットを切り上げて得られた上記3ビット)を表示するため、2フィールドでの平均階調として第 $b_1^* + 2(b_2^* + 2b_3^*) + 0.5$ 階調を表示することになる。

但し、 $b_0^* = b_1^* = b_2^* = b_3^* = 1$ の場合は、 $M = 1$ のフィールドで1を加えると桁上げが生じるため、1を加えた階調表示ができなくなるため、論理和回路36により第7階調の階調表示を用いている。

すなわち、 $b_1^* = b_2^* = b_3^* = 1$ において、 b_0^* の値にかかわらず、全てのフィールドにおいて8階調中、第7階調で表示を行う。この結果、0.5階調きざみで、0～7の15階調が表示できることになる。このように、1フィールド中の各画素の順次選択回路を増やすことな

く、表示階調数をほぼ倍増することができる。

この時、 $b_0^* = 1$ において、 $M = 0$ のフィールドと $M = 1$ のフィールドで表示する階調が 1 だけずれているため、 $M = 0$ のフィールドで負極性、 $M = 1$ のフィールドで正極性の電極を与えて、表示素子を交流駆動する場合、表示素子に直流成分が印加されてしまうことになる。

しかしながら、フィールド間の電圧の差は 8 階調中の 1 階調分であるため $\{(V_S/2) - (V_N - 2)\} / 7$ であり、表示素子に印加される DC 成分 V_{DC} は、その半分となる。

$$V_{DC} = (1/28) \cdot (V_S - V_N) \quad \dots\dots (27)$$

例えば、 $V_S = 13V_{PP}$ 、 $V_N = 4V_{PP}$ とすると、 $V_{DC} = 0.3V$ となる。もちろん、 $b_0^* = 0$ の表示では $V_{DC} = 0V$ を仮定している。

ここで共通電極電位 V_{COM} を DC 的に、例えば $0.15V$ あらかじめ上げておけば、最大直流電圧は $\pm 0.15V$ 以内と、ほぼ許容レベルとすることができる。

以上の例では、メモリ 4 以降の扱うデータは 3 ビットの場合であったが、このビット数を増やして、さらに多階調にする場合は、上記 (27) 式の DC 成分がさらに小さくなることは明らかである。

また、これまでの説明では、端子 73 に与える信号は、フィールド毎反転信号であったが、これはドットクロックを 2 分周した信号や、水平同期信号を 2 分周した信号などを与え、隣接した画素間で最下位ビットの切り捨て、切り上げを制御することにより、平均輝度として表示可能な階調数を増やすことができる。

本発明の他の参考例の要部を第 10 図に示す。第 9 図の間引回路と同様に、間引きによる多階調表示をねらっている。間引回路 31 の代わりに、例えば読出専用メモリ (ROM) で構成されたルックアップテーブル (LUT) 36 を用いている点が特徴である。

第 10 図において、8 ビットの A/D 変換器 3 の出力信号 $b_0^* \sim b_7^*$ と共に、端子 74, 75 から入力される、例えば、フィールド毎や、画素毎に切り換わる間引信号を、LUT 36 として用いる ROM のアドレスとして供給し、6 ビットの PCM 信号 $b_0 \sim b_5$ としてメモリ 4 に供給する。

このように、LUT 36 を用いることにより、表示画素の電圧－輝度特性が、入力された映像信号が前提としているものと異なっている場合に、信号を補正するいわゆるガンマ補正の機能を兼ね備える利点がある。

第 9 図及び第 10 図にその要部を示した参考例では、メモリの扱う PCM 信号のビット数にかかわらず、表示したい階調数分に相当するビット数の A/D 変換器が必要となる。一般に A/D 変換器の扱うビット数が増えると、価格、電力等が増えるため、少いビット数の A/D 変換器を採用したい。

この要求に応えるものとして、メモリの扱う PCM 信号のビット数と同じビット数の A/D 変換器を使用して、間

引表示による多階調表示を実現する回路が本発明の実施例となるわけである。

以上を踏まえて、本発明の実施例の要部を、第 11 図と第 12 図に示す。

第 11 図の実施例要部において、破線 21 に囲まれた部分が、付属間引回路である。端子 73 に与えられる例えば、フィールド毎反転信号などの MB 信号で、アナログマルチプレクサ 24 を制御し、電圧源 25 より出力される A/D 変換器 3 の最小階調電圧の半分 ($1/2LSB$) の電圧と、 $0V$ を切換えて加算器 23 に与え、端子 22 に入力される映像信号と加算して、A/D 変換器 3 に与える。これは、ちょうど、第 9 図の参考例要部における付属間引回路 31 をアナログ的に実現していることになる。メモリ 4 以降の動作は第 9 図の場合と同様である。

第 12 図の実施例要部では、第 11 図のアナログマルチプレクサ 24 に代えて、例えば、最大振幅が A/D 変換器 3 の最小階調電圧 ($1LSB$) にほぼ等しい例えば乱数電圧発生源 26 を用いている。

この乱数電圧発生源 26 は、電圧振幅が乱数となっており、前記 $1LSB$ の電圧範囲にわたり、各電圧の発生ひん度が等しいものを用いることにより、間引制御信号を用いなくて、間引 PCM 信号を得ることができる。乱数電圧発生源 26 としては、抵抗の熱雑音やトランジスタのなだれ降伏雑音などがある。

このようにアナログ的に処理することで回路構成を簡易化する利点がある。

本発明の他の参考例に用いるためのフィールド時分割走査の別のやり方を、第 13 図に示す。

第 2 図に示したそれと異なる点は、A/D 変換データの最上位ビット b_2 に対応する、各画素の信号保持期間を 2 分し、1 フィールド内において各画素を 2 分したことにより増えた 1 回分を含め、合計 4 回順次選択している点である。第 2 図で示した 1 本の実線 L_1 が、第 13 図では L_{21} と L_{22} の 2 本の線で示されているのは、このことを表わしている。この走査方法を、第 3 図の参考例に適用して駆動した場合の各部の動作波形例を第 14 図に示す。

第 4 図と第 14 図の動作波形例で異なる主な点は、第 1 に、1 フィールド内において各画素を 4 回順次選択するようにしたため、1 行選択に要する時間が $(1/3)H \rightarrow (1/4)H$ に減少したこと、第 2 に、最上位ビット b_2 に対応する保持期間を 2 分し、 a_{21}, a_{22} ($a_{21} = a_{22} = a_2/2$) としたため、フィールド内最長保持期間が半減したこと、第 3 に、 a_{21} と a_{22} の期間で、映像信号の極性を反転している点である。

第 1 の点は、1 行選択に要する時間が短くなり、表示パネルに要求される走査速度が高くなってしまいう問題があるが、前述した間引走査との併用により、解決できると考える。

第 2 の点は、例えば、表示パネルとして、各画素にトランジスタと液晶セルから成る表示素子を用いたアクテ

イブマトリクス液晶パネルを考えると、選択期間以外も書込まれた電圧を有効に保持するために、液晶セル容量と並列に保持容量を付加することが望ましいが、最長保持期間を半減することは、その付加すべき保持容量を小さくできることを意味している。このことは、保持容量形成面積を減らすことにつながるの、開口率向上により輝度向上につながる。

第3の点は、特に、動画表示などにおいて、第1フィールドと第2フィールドの表示内容が大きく変化した場合でも、過渡的に印加されるDC成分をおさえることができる。例えば、第1フィールドは最大電圧 ($V_S/2$) 印加、第2フィールドは最小電圧 ($V_N/2$) 印加とすると、第4図の参考例ではDC成分は $(V_S - V_N)/2$ となるが、第14図の参考例では、A/D変換出力の最上位ビットについては、少なくとも、フィールド内で、交流化が実現できているため、DC成分はほぼ半減できる利点がある。

本発明における各画素の交流化駆動波形と、デジタルPCM信号の各ビットの情報との関係を第15図に示す。

第15図において、横軸が時間を、縦軸を極性を示している。(a), (b), (c)は、第3図の参考例の構成例を、3ビットのPCM信号を例にとって説明した第2図及び第4図で示した駆動法で駆動した場合の、それぞれ、8ビット, 7ビット, 6ビットにおける例である。

第15図(d)は、第13図と第14図で示した駆動法のよう、(c)における最上位ビット b_5 に対応した期間を2分し、1フィールド内で極性反転した一例で、2分した期間を b_{51} と b_{52} で示している。(e)は、2分した最上位ビットの片方 b_{52} と、次位ビット b_4 に対応した期間をフィールド内で極性を反転しておくことにより、動画における直流成分をさらに低減させる方法である。

このように、フィールド内での極性反転のやり方や、フィールド内における各ビットの配置順番等は各種考えられる。

次に、本発明の実施例として具体的に、映像信号として、例えば1フィールド262.5本のNTSC方式と、312.5本のPAL/SECAM方式のテレビ信号を表示する場合の、PCM信号の各ビットに対応する保持期間の一例を、それぞれ第16図と第17図に示す。

尚、第16図における(a), (b), (c), (d), (e)は第15図における駆動波形(a), (b), (c), (d), (e)との対応をとったものであり、 b_{51} , b_{52} はPCM信号のビット b_5 と同一の値であるが、 b_5 に対応する期間を2分しているため、便宜上 b_{51} , b_{52} と別の符号を付している。

第16図及び第17図について、第1の特徴は、それぞれ、1フィールド期間のほぼ全てを保持期間と選択時間に与えている点である。

例えば第16図(a)において、各ビットの保持期間の合計値261.5Hと、1行選択時間(1/8)Hを8回選択する期間を加えると262.5Hとなり、1フィールド期間と等

しくなる。このように、1フィールド期間のほぼ全てを用いることにより、表示セルの実効電圧を大きくすることができる利点がある。

第2の特徴は、 i ビットに対する保持期間 a_i が、下位 $(i-1)$ ビットに対する保持期間 a_{i-1} の2倍以上としている点である。従って、最上位ビットを n ビットとすると、

$$a_n > 2^n \cdot a_0 \quad \dots\dots (28)$$

が成立する。

この理由は以下の理由による。すなわち $a_i = 2a_{i-1}$ を満足させようのすると、次の問題が生じる。例えば第16図(c)において、 $b_0=4, b_1=8, b_2=16, b_3=32, b_4=64, b_5=128$ という設定になり、選択時間1H分と合わせ、253Hあれば良い。1フィールド262.5Hとの差9.5Hに対して、電圧を印加しないようにするためには、1フィールド内の各画素選択回数を増やさざる得なくなってしまう、表示部の走査速度に問題が生じる。

また、第1の特徴に述べたように、実効電圧を大きくする観点からも1フィールド全て使う必要がある。このため、残り9.5Hを各ビットに配分することになるが、出来るだけ誤差を小さく、かつ、微小電圧に対する線形性確保の点から、上位ビットから順に $a_i \approx p_i a_{i-1}$ (但し、 $p_i \geq 2$) となるように、かつ p_i がほぼ等しくなるように配している。

第3の特徴は、0.5Hの端数を最上位ビットに配し、フィールド毎に0.5H増やしたり減らしたりして用いる点である。例えば第16図(c)の最上位ビット b_5 の保持期間は133.5Hとなっており、これはフィールド毎に133Hと134Hを切替えて用いることを示す。これは、前述したように、1フィールド全ての期間を使うようにするための端数処理である。

以上、フィールド単位の時分割走査を中心に説明してきたが、これを、2フィールド分の1フレーム単位で同様な時分割走査ができるのは明らかである。

〔発明の効果〕

本発明によれば、予め定められた所定の電圧を選択して出力するタイプの、比較的回路規模が小さく、出力電圧ばらつきが少なく、かつ高速で高耐圧が得られやすい水平走査回路を用いて、低価格で、表示実効電圧が大きく、かつ高精細な多階調表示装置を実現できる効果がある。

例えば、比較的応答速度が速く、高駆動電圧である強誘電性液晶や、PDLC (Polymer Dispersion Liquid Crystal) 等を表示素子に用いた多階調表示装置を容易に実現することができる。

また、アナログ処理による間引き表示との併用により、フィールド時分割走査回数を増やさずに、より多階調の表示が可能となる効果もある。

【図面の簡単な説明】

第1図は本発明の参考例としての多階調表示装置を示す

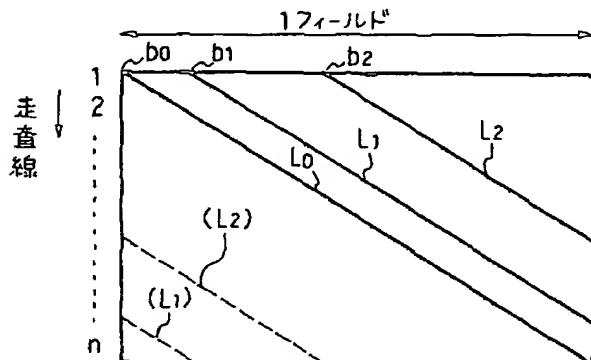
ブロック図、第2図は表示パネルのフィールド時分割走査を示すための走査線と走査時間の関係説明図、第3図は本発明の参考例としての多階調表示装置の主要部分の回路構成図、第4図は第3図の参考例を第2図に示す走査方式で駆動した場合の各部動作波形例を示すタイミングチャート、第5図は水平ドライバ内アナログマルチプレクサの選択出力状態を示す真理値表の説明図、第6図は垂直走査パルス発生回路の一例を示すブロック図、第7図は本発明の他の参考例としての多階調表示装置の主要部分の回路構成図、第8図は第7図の参考例の各部動作波形例を示すタイミングチャート、第9図と第10図はそれぞれデジタル方式間引回路の一例を示すブロック図、第11図と第12図はそれぞれ本発明の実施例としてのアナログ方式間引回路を示すブロック図、第13図は最上位ビット2分割時のフィールド時分割走査を示すための走査線と走査時間の関係説明図、第14図は、第13図に示す走査方式で、第3図の参考例を駆動する場合の各部動作波形を示すタイミングチャート、第15図は各種走査方式における各画素の駆動極性とフィールド内時分割との

関係を示すタイミングチャート、第16図と第17図はそれぞれNTSC、PAL/SECAM方式のテレビ信号表示において、各ビットに対応させる保持期間の一例を本発明に従って示した説明図、第18図はアクティブマトリクス液晶表示装置の構成の従来例を示す概要図、である。

符号の説明

1……映像信号入力端子、2……映像信号処理回路、3……A/D変換器、4……メモリ、5……垂直走査パルス発生回路、6……水平走査パルス発生回路、7……交流化制御回路、8……垂直ドライバ、9……水平ドライバ、11……表示パネル、12……制御回路、14……コントラスト調整回路、15……輝度調整回路、121……PLL回路、141, 142, 151, 152……差動増幅器、81, 91……シフトレジスタ、82, 92……ラッチ、83, 84, 93, 94, 157……アナログマルチプレクサ、Dr……データバス、Ga……ゲートバス、111……画素トランジスタ、112……表示素子、V_{COM}……共通電極、32, 33, 34, 35……加算器、36……ルックアップテーブル

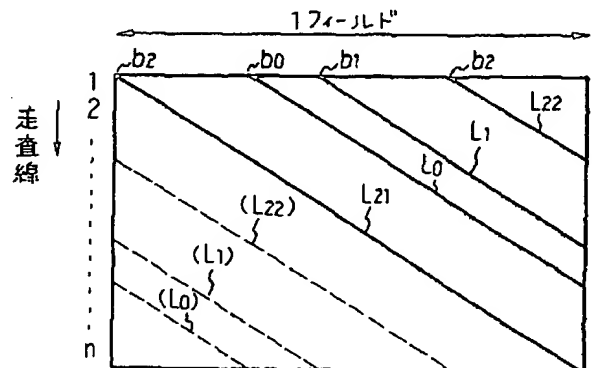
【第2図】



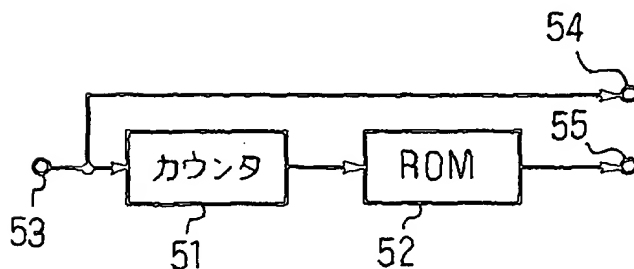
【第5図】

| | | |
|-------|-------|-------|
| D_i | M | |
| | 1 | 0 |
| 1 | V_1 | V_2 |
| 0 | V_3 | V_4 |

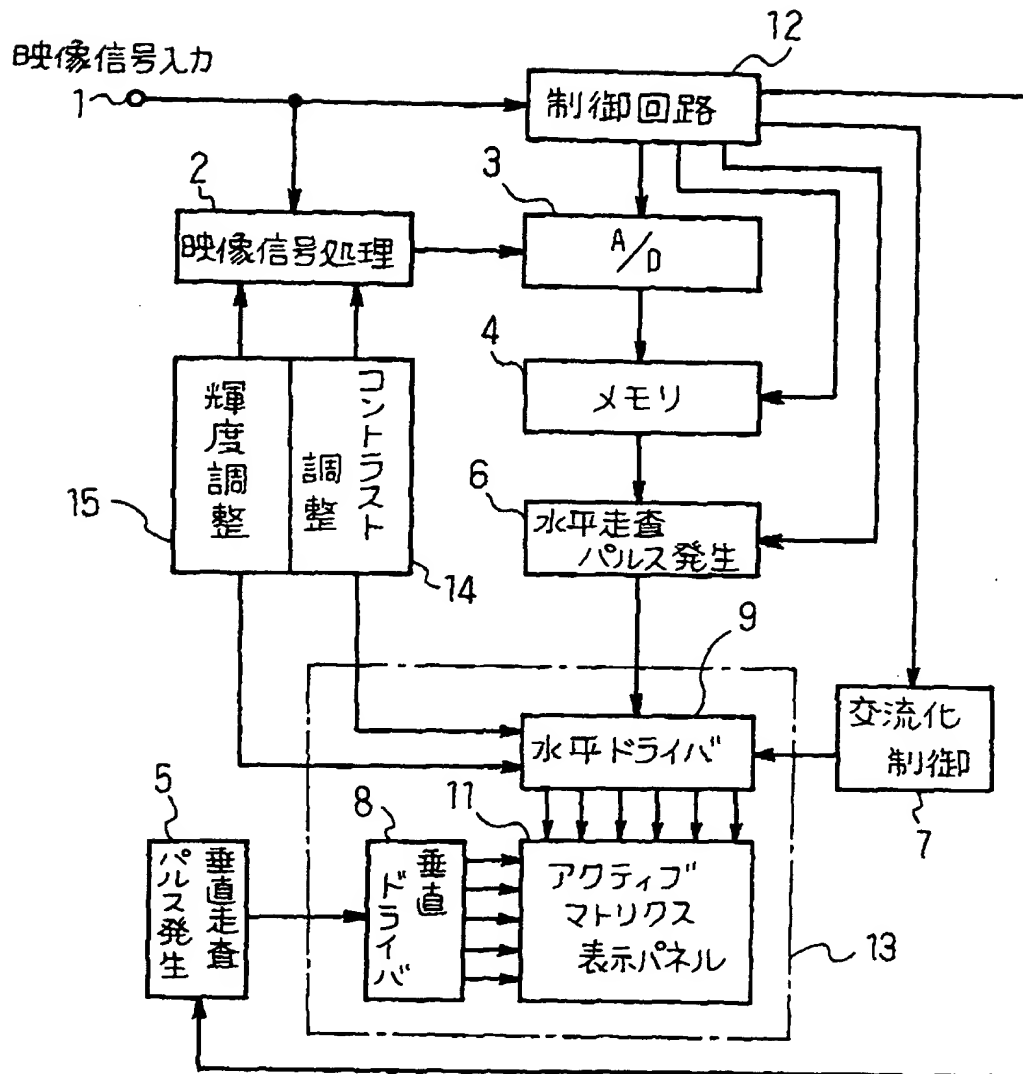
【第13図】



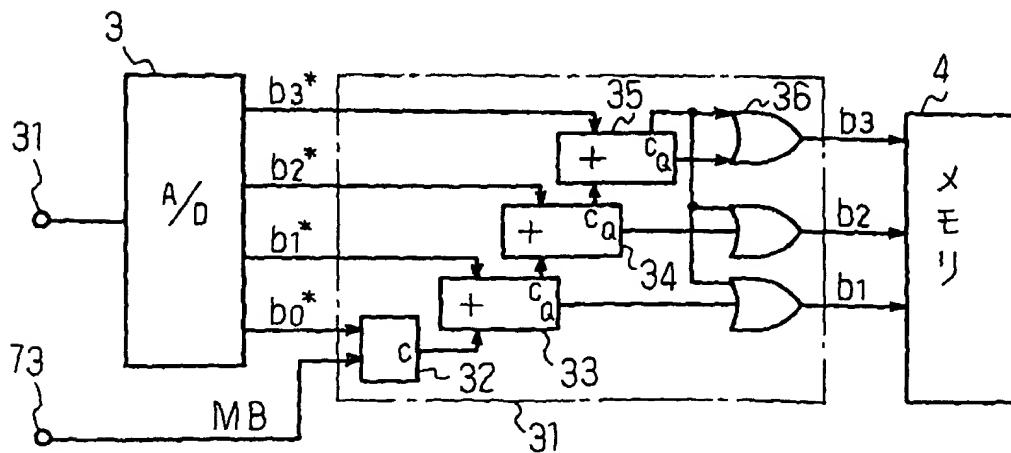
【第6図】



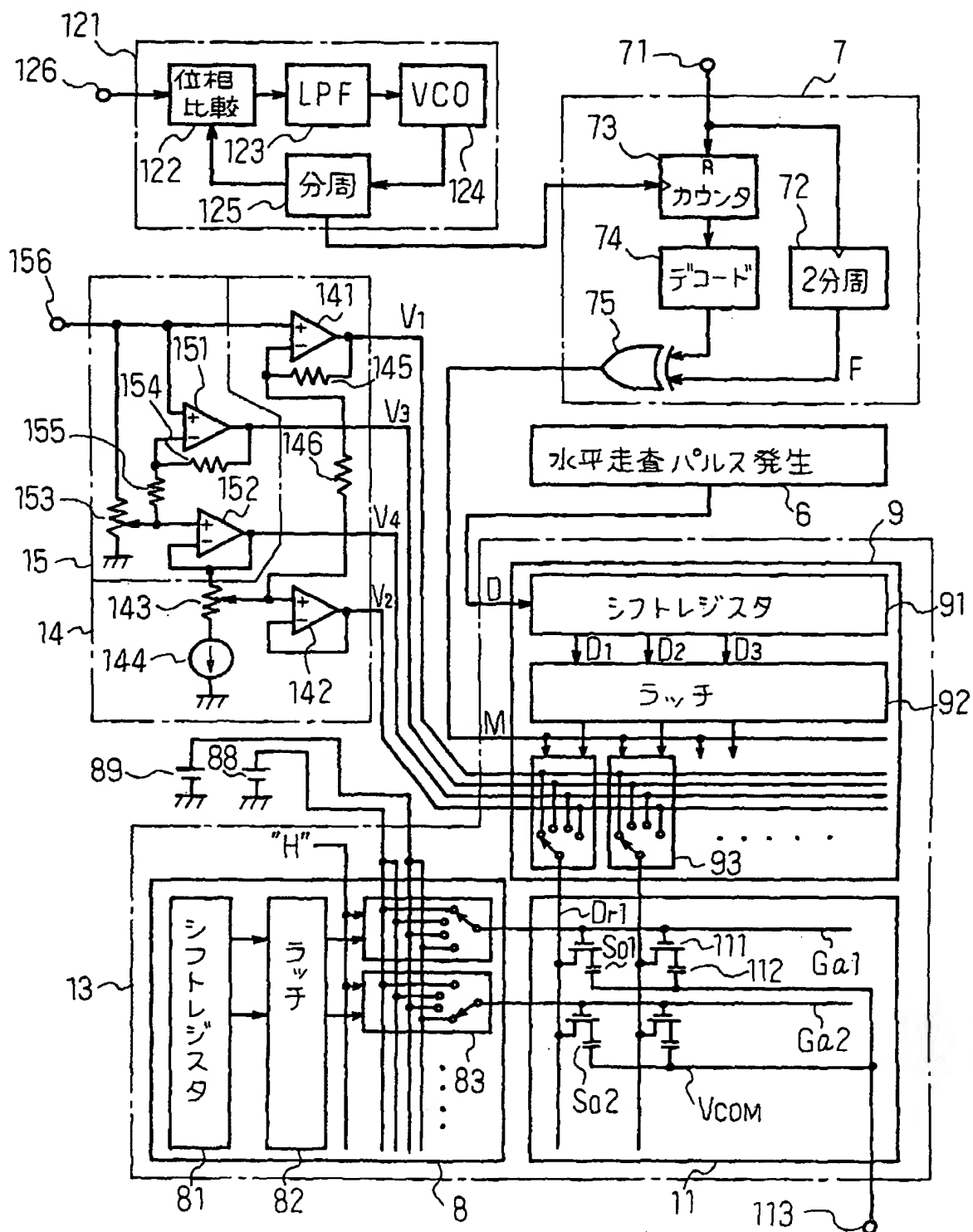
【第1図】



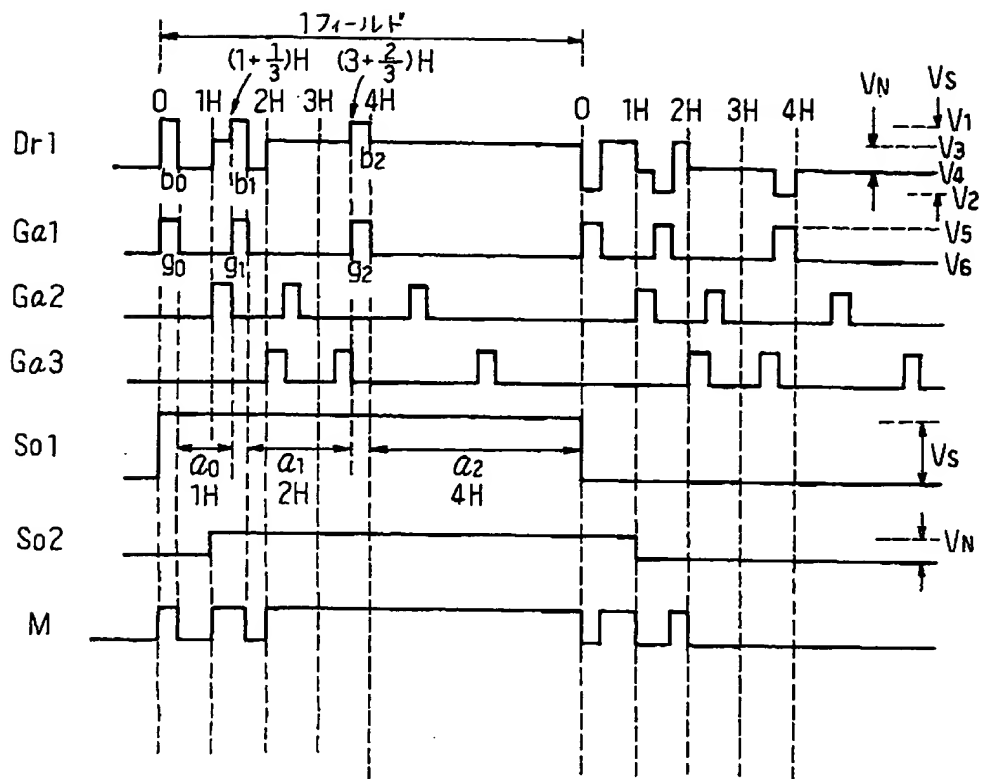
【第9図】



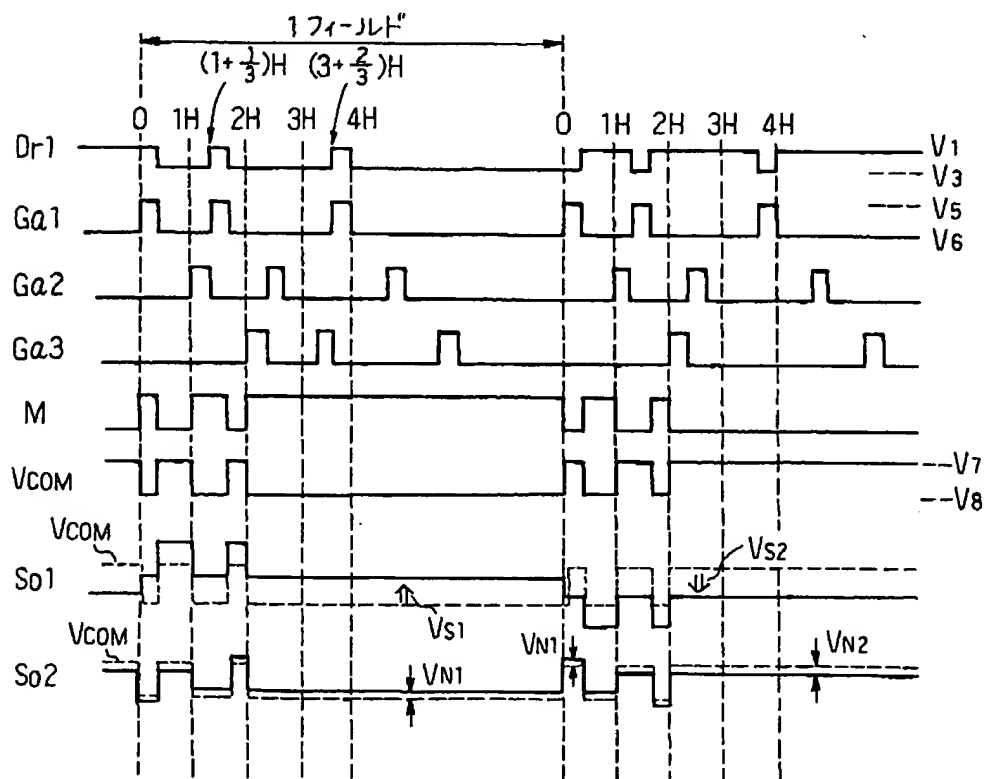
【第 3 図】



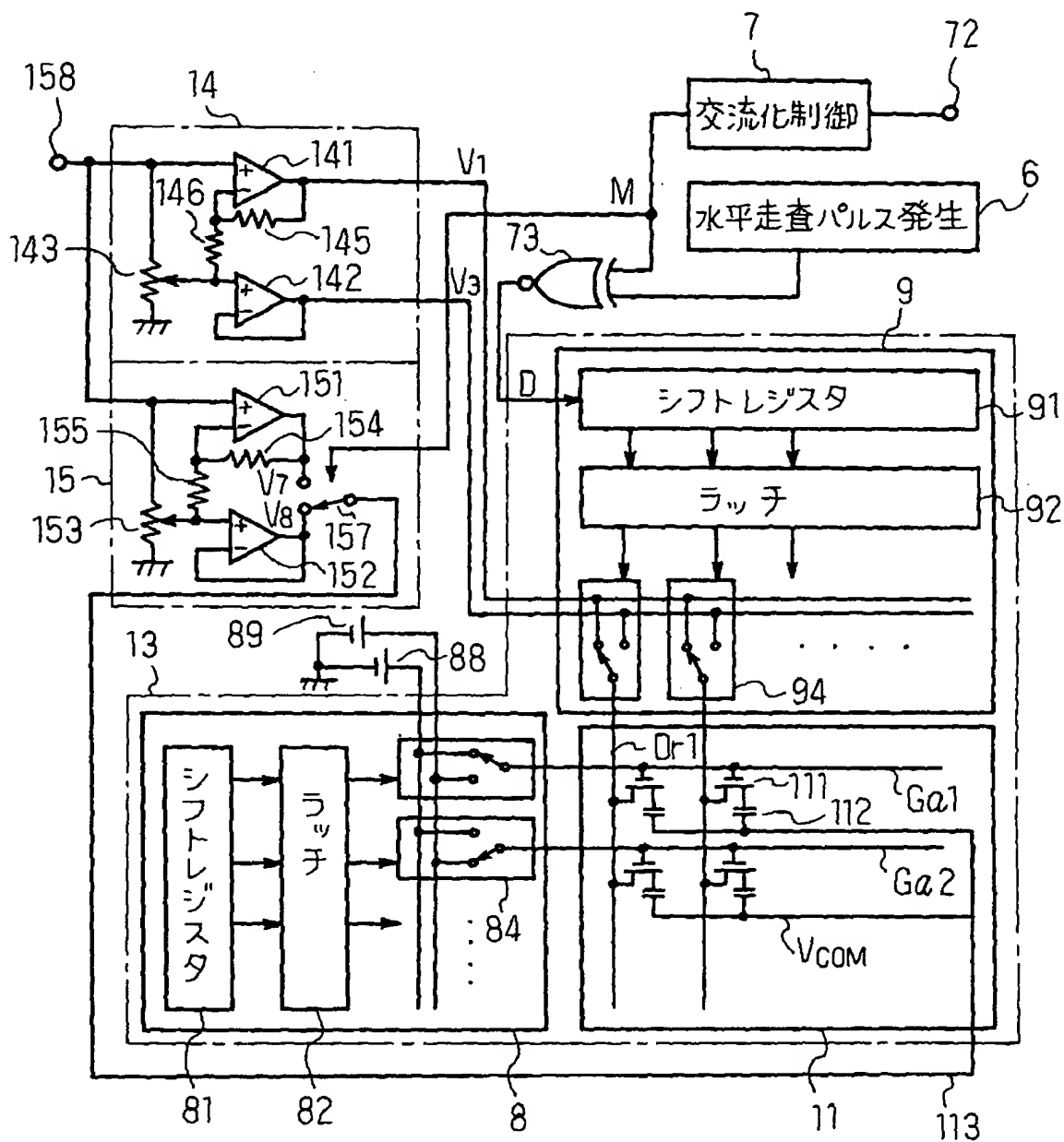
【第 4 図】



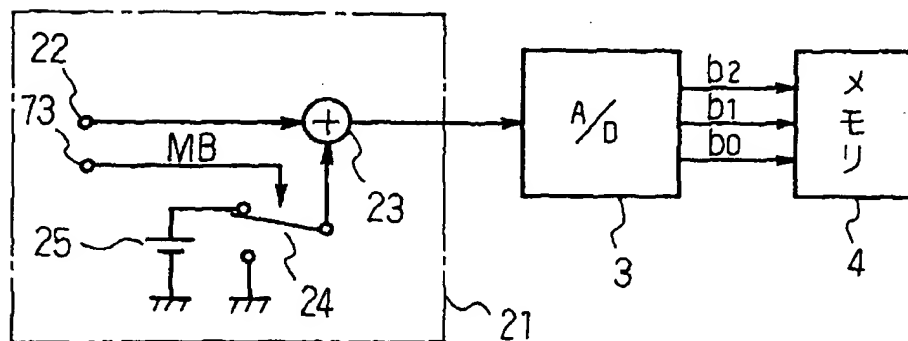
【第 8 図】



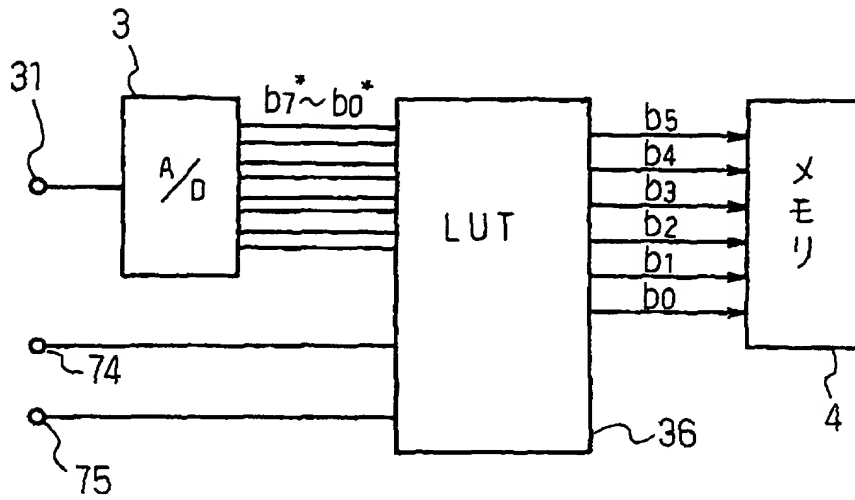
【第 7 図】



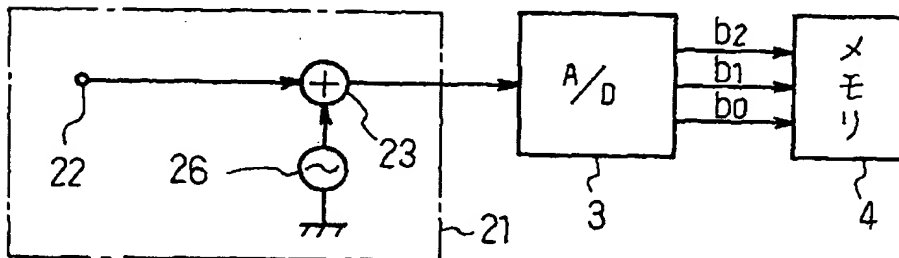
【第 11 図】



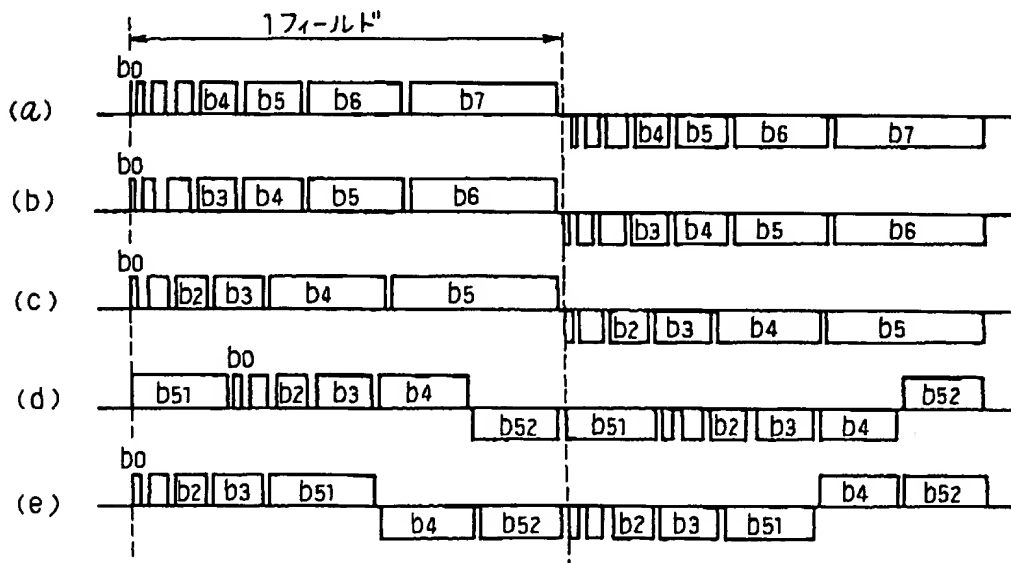
【第 1 0 図】



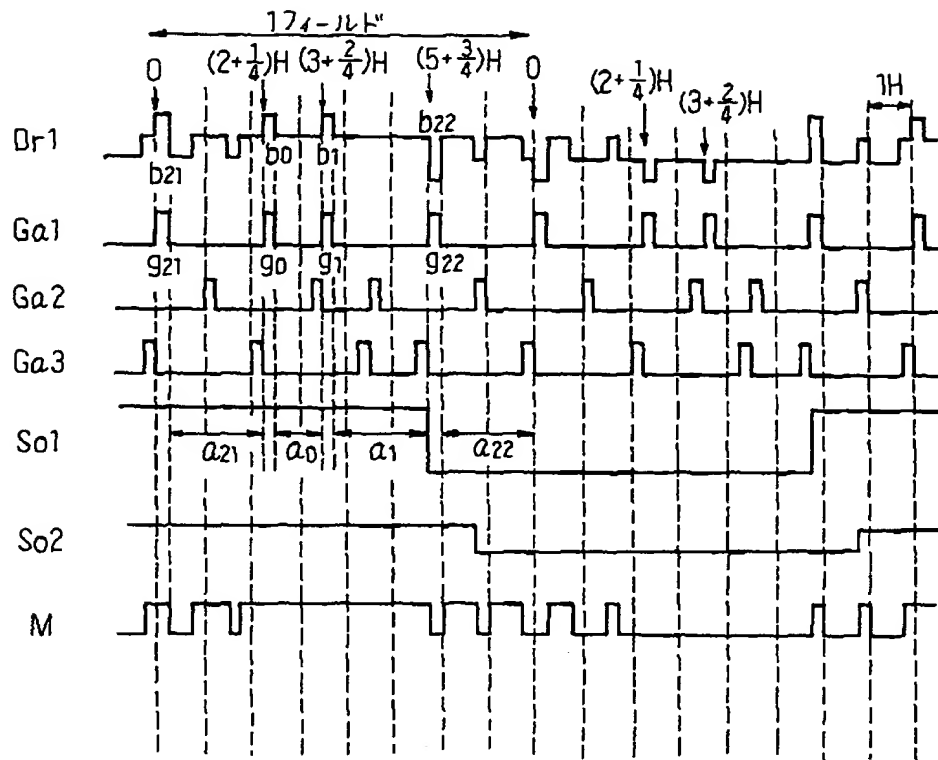
【第 1 2 図】



【第 1 5 図】



【第 1 4 図】



【第 1 6 図】

| ビット | (a) | (b) | (c) | ビット | (d),(e) |
|--------|---------------|---------------|---------------|--------|---------------|
| b0 | 1 | 2 | 4 | b0 | 4 |
| b1 | 2 | 4 | 8 | b1 | 8 |
| b2 | 4 | 8 | 16 | b2 | 16 |
| b3 | 8 | 16 | 33 | b3 | 33 |
| b4 | 16 | 33 | 67 | b4 | 67 |
| b5 | 33 | 66 | 133.5 | b51 | 67 |
| b6 | 66 | 132.5 | — | b52 | 66.5 |
| b7 | 131.5 | — | — | — | — |
| 合計 | 261.5 | 261.5 | 261.5 | 合計 | 261.5 |
| 1行選択時間 | $\frac{1}{8}$ | $\frac{1}{7}$ | $\frac{1}{6}$ | 1行選択時間 | $\frac{1}{7}$ |

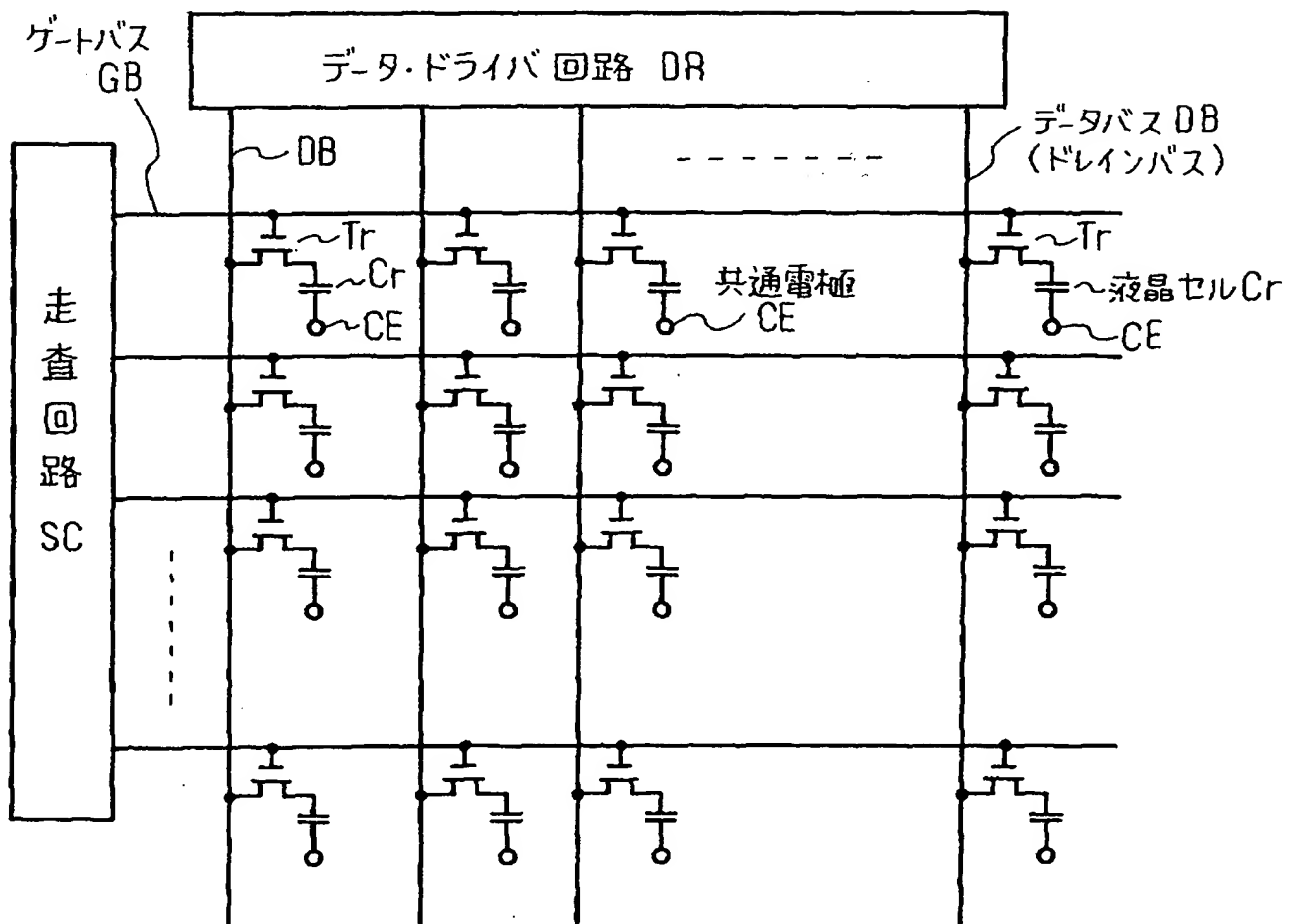
(単位×H)

【第 17 図】

| ビット | (a) | (b) | (c) | ビット | (d),(e) |
|--------|---------------|---------------|---------------|--------|---------------|
| b0 | 1 | 2 | 4 | b0 | 4 |
| b1 | 2 | 4 | 9 | b1 | 9 |
| b2 | 4 | 9 | 18 | b2 | 18 |
| b3 | 9 | 18 | 39 | b3 | 39 |
| b4 | 18 | 39 | 80 | b4 | 80 |
| b5 | 38 | 79 | 161.5 | b51 | 81 |
| b6 | 79 | 160.5 | — | b52 | 80.5 |
| b7 | 160.5 | — | — | — | — |
| 合計 | 311.5 | 311.5 | 311.5 | 合計 | 311.5 |
| 1行選択時間 | $\frac{1}{8}$ | $\frac{1}{7}$ | $\frac{1}{6}$ | 1行選択時間 | $\frac{1}{7}$ |

(単位: μ s)

【第 18 図】



THIS PAGE BLANK (USPTO)